

# KL5C80A12命令説明書

(有)中日電工

[はじめに] .....	1	52. EX AF, AF' .....	5
I. レジスタについて .....	1	53. EXX .....	5
II. 8ビット転送命令 .....	1	54. EX (SP),HL .....	5
1. LD r, r' .....	1	55. EX (SP),IX .....	5
2. LD r,(HL) .....	1	56. EX (SP),IY .....	6
3. LD (HL),r .....	2	[フラグについて] .....	6
4. LD r, n .....	2	57. LDI .....	6
5. LD (HL),n .....	2	58. LDIR .....	6
6. LD A,(BC) .....	2	59. LDD .....	6
7. LD A,(DE) .....	2	60. LDDR .....	6
8. LD A,(nn) .....	2	61. CPI .....	6
9. LD (BC),A .....	2	62. CPIR .....	6
10. LD (DE),A .....	2	63. CPD .....	6
11. LD (nn),A .....	2	64. CPDR .....	7
12. LD r,(IX+d) .....	2	V. 8ビット算術・論理演算命令 .....	7
13. LD r,(IY+d) .....	3	65. ADD A,r .....	7
14. LD (IX+d),r .....	3	66. ADD A,n .....	7
15. LD (IY+d),r .....	3	67. ADD A,(HL) .....	7
16. LD (IX+d),n .....	3	68. ADD A,(IX+d) .....	7
17. LD (IY+d),n .....	3	69. ADD A,(IY+d) .....	7
III. 16ビット転送命令 .....	3	70. ADC A,r .....	7
18. LD BC,nn .....	3	71. ADC A,n .....	7
19. LD DE,nn .....	3	72. ADC A,(HL) .....	7
20. LD HL,nn .....	3	73. ADC A,(IX+d) .....	7
21. LD SP,nn .....	3	74. ADC A,(IY+d) .....	7
22. LD IX,nn .....	3	75. SUB r .....	7
23. LD IY,nn .....	3	76. SUB n .....	7
24. LD HL,(nn) .....	3	77. SUB (HL) .....	8
25. LD BC,(nn) .....	4	78. SUB (IX+d) .....	8
26. LD DE,(nn) .....	4	79. SUB (IY+d) .....	8
27. LD SP,(nn) .....	4	80. SBC A,r .....	8
28. LD IX,(nn) .....	4	81. SBC A,n .....	8
29. LD IY,(nn) .....	4	82. SBC A,(HL) .....	8
30. LD (nn),HL .....	4	83. SBC A,(IX+d) .....	8
31. LD (nn),BC .....	4	84. SBC A,(IY+d) .....	8
32. LD (nn),DE .....	4	85. AND r .....	8
33. LD (nn),SP .....	4	86. AND n .....	8
34. LD (nn),IX .....	4	87. AND (HL) .....	8
35. LD (nn),IY .....	4	88. AND (IX+d) .....	9
36. LD SP, HL .....	4	89. AND (IY+d) .....	9
37. LD SP, IX .....	4	90. OR r .....	9
38. LD SP, IY .....	4	91. OR n .....	9
39. PUSH BC .....	4	92. OR (HL) .....	9
40. PUSH DE .....	5	93. OR (IX+d) .....	9
41. PUSH HL .....	5	94. OR (IY+d) .....	9
42. PUSH AF .....	5	95. XOR r .....	9
43. PUSH IX .....	5	96. XOR n .....	9
44. PUSH IY .....	5	97. XOR (HL) .....	9
45. POP BC .....	5	98. XOR (IX+d) .....	9
46. POP DE .....	5	99. XOR (IY+d) .....	9
47. POP HL .....	5	100. CP r .....	9
48. POP AF .....	5	101. CP n .....	10
49. POP IX .....	5	102. CP (HL) .....	10
50. POP IY .....	5	103. CP (IX+d) .....	10
IV. 交換、ブロック転送、検索命令 .....	5	104. CP (IY+d) .....	10
51. EX DE, HL .....	5	105. INC r .....	10
		106. INC (HL) .....	10
		107. INC (IX+d) .....	10

108. INC (IY+d) .....	10	164. RRC r .....	14
109. DEC r .....	10	165. RRC (HL).....	14
110. DEC (HL).....	10	166. RRC (IX+d).....	14
111. DEC (IX+d).....	10	167. RRC (IY+d).....	14
112. DEC (IY+d).....	10	168. RR r .....	14
VI. その他の算術演算、CPU制御命令 ...	10	169. RR (HL).....	14
113. DAA .....	10	170. RR (IX+d).....	15
114. CPL .....	11	171. RR (IY+d).....	15
115. NEG .....	11	172. SLA r .....	15
116. CCF .....	11	173. SLA (HL).....	15
117. SCF .....	11	174. SLA (IX+d).....	15
118. NOP .....	11	175. SLA (IY+d).....	15
119. HALT .....	11	176. SRA r .....	15
VII. 16ビット算術演算命令 .....	11	177. SRA (HL).....	15
120. ADD HL, BC .....	11	178. SRA (IX+d).....	15
121. ADD HL, DE .....	11	179. SRA (IY+d).....	15
122. ADD HL, HL .....	11	180. SRL r .....	15
123. ADD HL, SP .....	11	181. SRL (HL).....	16
124. ADC HL, BC .....	11	182. SRL (IX+d).....	16
125. ADC HL, DE .....	11	183. SRL (IY+d).....	16
126. ADC HL, HL .....	11	184. RLD .....	16
127. ADC HL, SP .....	11	185. RRD .....	16
128. SBC HL, BC .....	11	IX. ビットセット、リセット・テスト命令 .....	16
129. SBC HL, DE .....	12	186. BIT b,r .....	16
130. SBC HL, HL .....	12	187. BIT b,(HL).....	16
131. SBC HL, SP .....	12	188. BIT b,(IX+d).....	17
132. ADD IX, BC .....	12	189. BIT b,(IY+d).....	17
133. ADD IX, DE .....	12	190. SET b,r .....	17
134. ADD IX, IX .....	12	191. SET b,(HL).....	17
135. ADD IX, SP .....	12	192. SET b,(IX+d).....	17
136. ADD IY, BC .....	12	193. SET b,(IY+d).....	17
137. ADD IY, DE .....	12	194. RES b,r .....	17
138. ADD IY, IY .....	12	195. RES b,(HL).....	17
139. ADD IY, SP .....	12	196. RES b,(IX+d).....	17
140. INC BC .....	12	197. RES b,(IY+d).....	18
141. INC DE .....	12	X. ジャンプ命令 .....	18
142. INC HL .....	12	198. JP nn .....	18
143. INC SP .....	12	199. JP NZ,nn .....	18
144. INC IX .....	12	200. JP Z,nn .....	18
145. INC IY .....	12	201. JP NC,nn .....	18
146. DEC BC .....	12	202. JP C,nn .....	18
147. DEC DE .....	12	203. JP PO,nn .....	18
148. DEC HL .....	13	204. JP PE,nn .....	18
149. DEC SP .....	13	205. JP P,nn .....	18
150. DEC IX .....	13	206. JP M,nn .....	18
151. DEC IY .....	13	207. JR e .....	18
VIII. 回転、シフト命令 .....	13	208. JR C,e .....	19
152. RLCA .....	13	209. JR NC,e .....	19
153. RLA .....	13	210. JR Z,e .....	19
154. RRCA .....	13	211. JR NZ,e .....	19
155. RRA .....	13	212. JP (HL) .....	19
156. RLC r .....	13	213. JP (IX).....	19
157. RLC (HL).....	13	214. JP (IY).....	19
158. RLC (IX+d).....	13	215. DJNZ e .....	19
159. RLC (IY+d).....	14	XI. コール、リターン命令 .....	19
160. RL r .....	14	216. CALL nn .....	19
161. RL (HL).....	14	217. CALL NZ,nn .....	19
162. RL (IX+d).....	14	218. CALL Z,nn .....	19
163. RL (IY+d) .....	14		

219. CALL NC,nn .....	19
220. CALL C,nn .....	19
221. CALL PO,nn .....	20
222. CALL PE,nn .....	20
223. CALL P,nn .....	20
224. CALL M,nn .....	20
225. RET .....	20
226. RET NZ .....	20
227. RET Z .....	20
228. RET NC .....	20
229. RET C .....	20
230. RET PO .....	20
231. RET PE .....	20
232. RET P .....	20
233. RET M .....	20
234. RETI .....	20
235. RETN .....	20
236. RST n .....	20
X II. 入出力命令 .....	21
237. IN A,(n).....	21
238. IN r,(C).....	21
239. INI .....	21
240. INIR .....	21
241. IND .....	21
242. INDR .....	21
243. OUT (n),A .....	21
244. OUT (C),r .....	21
245. OUTI .....	22
246. OTIR .....	22
247. OUTD .....	22
248. OTDR .....	22
X III. 割込制御 .....	22
249. DI .....	22
250. EI .....	22
251. IM 0 .....	22
252. IM 1 .....	22
253. IM 2 .....	22

〒463-0067 名古屋市守山区守山2-8-14  
パレス守山305  
有限会社中日電工  
TEL052-791-6254 Fax052-791-1391  
E-mail thisida@alles.or.jp

## [KL5C8012の命令について]

KL5C8012はZ80の命令を全く同じように実行するのですが、命令を実行するクロック数が異なっています。たとえば LD B, C という命令をZ80は4クロックで実行しますが、KL5C8012は1クロックで実行してしまいます。Z80マイコンボードND80Z3. 5のCPUクロックは6MHzです。これに対してKL5C8012のCPUクロックは10MHzです。KL5C8012は6MHzのZ80に対して優に6倍速で動作するのです。

CPUクロックについては通常のプログラムでは特に意識する必要はありません。しかしある種のプログラム、たとえば一定時間ループを作って待つとか正確な時間幅のパルスを出力するときには命令の正確な実行時間が必要になります。

そのようなときの参考になるように各命令毎にKL5C8012の実行クロック数を追記しました。なおKL5C8012の本来の実行クロックではメモリアクセスが余りに高速になるため、特にROMアクセスがきびしくなります。そこでKL5C80A12版ND80KL/86では、メモリアクセス時に1クロックウェイトをかけています(I/Oアクセスにも1クロックウェイトを挿入します)。

この説明書ではKL5C8012本来のクロック数にKL5C80A12版ND80KL/86で加算されるウェイトクロックを合わせて表記しました。

### [表記例]

LD B, C (Z80の)クロック 4 KL5C8012のクロック 1+1=2  
LD HL, (nn) (Z80の)クロック 16 KL5C8012のクロック 5+3+2=10  
LDI (Z80の)クロック 16 KL5C8012のクロック 5+2=7  
OUT (n), A (Z80の)クロック 11 KL5C8012のクロック 4+2+1=7

KL5C8012のクロックの最初の数値が本来のクロック数です。次の数は命令コードを1バイト読み込む毎に加算される数でオペランドを含めた命令バイト数と一致します。3番目の数は命令の実行の結果、メモリやI/Oをアクセスする場合に追加されるウェイトでI/Oは+1ですがメモリに対しては命令により+1(1バイトアクセス)の場合と+2(2バイトアクセス)の場合があります。

命令の実行時間はこの合計クロックを1クロックタイム(10MHz=0.1μS)にかけることで得られます。

## [はじめに]

Z80はザイログ社が開発した8ビットCPUで、8080(インテル社)の命令の全てを含み、さらにその上全く新しい多くの命令を実行することができます。8080の命令については全く同じ命令コードで8080と同じ動作をしますが、Z80と8080はメーカーが異なるため同じ命令コードであってもニーモニックは異なっています。

例) コード7Eのときザイログ社は LD A, (HL) インテル社は MOV A, M と表記します。

この説明書ではZ80ニーモニック(ザイログニーモニック)に従って説明してありますが、同時に8080ニーモニック(インテルニーモニック)も併記してあります。説明の後ろに( )で記してあるのがインテルニーモニックです。インテルニーモニックが記していない命令は8080には無くて新たにZ80で追加された命令です。

### I. レジスタについて

8ビットレジスタB、C、D、E、H、L、A、F 16ビットレジスタSP、PCについては8080と全く同じです。Z80にはこの他に裏レジスタとしてB'、C'、D'、E'、H'、L'、A'、F'がありEX命令で交互に使用することができますが、初心者が使用すると混乱しますので慣れるまでは使わない方が良いでしょう。この他にインデックスレジスタ IX、IY(16ビット)があります。これによって相対アドレッシングが可能になっています。この他IレジスタとRレジスタがありますが普通の処理では使いません。

### II. 8ビット転送命令

[注]以下の説明中、クロックというのはその命令を実行するのに必要なサイクル数のことで、CPUクロックが6MHzのとき、1クロックは1/6μS(0.167μS)になります。したがってたとえばクロック=7の命令の実行時間は0.167×7=1.134μSになります。

KL5C8012はCPUクロックが10MHzなので1クロックは0.1μSになります。たとえばLD r, r'のクロックは1+1=2なので実行時間は0.1×2=0.2μSになります。

1. LD r, r'                   コード(表1)   クロック4 (KL5C8012のクロック 1+1=2)  
r, r' はB、C、D、E、H、L、Aを表します。r'の内容をrに転送します。r'の内容は変化しません。(8080ニーモニック MOV r1, r2)

2. LD r, (HL)               コード(表2)   クロック7 (KL5C8012のクロック 2+1+1=4)  
(HL)はHLレジスタで示されるメモリを表します。(HL)の内容をrに転送します。(HL)の内容は変化しません。(8080ニーモニック MOV r, M)

(表1)

		r'						
		B	C	D	E	H	L	A
r	B	4 0	4 1	4 2	4 3	4 4	4 5	4 7
	C	4 8	4 9	4 A	4 B	4 C	4 D	4 F
	D	5 0	5 1	5 2	5 3	5 4	5 5	5 7
	E	5 8	5 9	5 A	5 B	5 C	5 D	5 F
	H	6 0	6 1	6 2	6 3	6 4	6 5	6 7
	L	6 8	6 9	6 A	6 B	6 C	6 D	6 F
	A	7 8	7 9	7 A	7 B	7 C	7 D	7 F

(表2)

r	
B	4 6
C	4 E
D	5 6
E	5 E
H	6 6
L	6 E
A	7 E

(表3)

r	
B	7 0
C	7 1
D	7 2
E	7 3
H	7 4
L	7 5
A	7 7

3. LD (HL), r      コード (表3)   クロック7 (KL5C8012のクロック 2+1+1=4)  
rの内容を(HL)に転送します。rの内容は変化しません。(8080ニーモニック MOV M, r)

4. LD r, n      コード (表4)   クロック7 (KL5C8012のクロック 2+2=4)

nはこの命令コードの次のアドレスに書かれたデータを示します。8ビットデータnをrに転送します。(8080ニーモニック MVI r, B 2)

5. LD (HL), n      コード 36××   クロック10 (KL5C8012のクロック 3+2+1=6)

nを(HL)に転送します(××は任意の8ビットデータを表します)。(8080ニーモニック MVI M, B2)

(表4)

r	
B	0 6 × ×
C	0 E × ×
D	1 6 × ×
E	1 E × ×
H	2 6 × ×
L	2 E × ×
A	3 E × ×

(表5)

r	
B	DD 4 6 × ×
C	DD 4 E × ×
D	DD 5 6 × ×
E	DD 5 E × ×
H	DD 6 6 × ×
L	DD 6 E × ×
A	DD 7 E × ×

(表6)

r	
B	FD 4 6 × ×
C	FD 4 E × ×
D	FD 5 6 × ×
E	FD 5 E × ×
H	FD 6 6 × ×
L	FD 6 E × ×
A	FD 7 E × ×

表5、表6の××はインデックスレジスタに対する増分dを示します

6. LD A, (BC)      コード 0A   クロック7 (KL5C8012のクロック 3+1+1=5)

(BC)はBCレジスタで示されるメモリを表します。(BC)の内容をAに転送します。(BC)の内容は変化しません。(8080ニーモニック LDAX B)

7. LD A, (DE)      コード 1A   クロック7 (KL5C8012のクロック 3+1+1=5)

(DE)はDEレジスタで示されるメモリを表します。(DE)の内容をAに転送します。(DE)の内容は変化しません。(8080ニーモニック LDAX D)

8. LD A, (nn)      コード 3A××××   クロック13 (KL5C8012のクロック 4+3+1=8)

(nn)は命令コード3Aに続く2バイトデータで示されるアドレスのメモリを表します。(nn)の内容をAに転送します。(nn)の内容は変化しません。(8080ニーモニック LDA B3B2)

この命令のように2バイトのデータを扱う場合には先に来るほうが下位アドレスであとに上位アドレスがきます。たとえば1234番地の内容を転送する場合のコードは3A3412になります。

9. LD (BC), A      コード 02   クロック7 (KL5C8012のクロック 3+1+1=5)

Aの内容を(BC)に転送します。Aの内容は変化しません。(8080ニーモニック STAX B)

10. LD (DE), A      コード 12   クロック7 (KL5C8012のクロック 3+1+1=5)

Aの内容を(DE)に転送します。Aの内容は変化しません。(8080ニーモニック STAX D)

11. LD (nn), A      コード 32××××   クロック13 (KL5C8012のクロック 4+3+1=8)

Aの内容を(nn)に転送します。Aの内容は変化しません。(8080ニーモニック STA B3B2)

nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

12. LD r, (IX+d)      コード (表5)   クロック19 (KL5C8012のクロック 5+3+1=9)

(IX+d)の内容をrに転送します。(IX+d)はインデックスレジスタIXで示されるアドレスに+dしたアドレスのメモリを示します。dは+方向に00~7F、-方向にFF~80までの数が許されます。FFは+FF(10進の255ではなくて符号付数で-1を意味します。00

～7FはIXで示すアドレス値にそのまま加算されて真のアドレスを示しますが、FF～80はIXで示すアドレス値に対してFFFF～FF80の加算が行われます。実際には1～80がIXの値から減算されてそれが真のアドレスになります。(IX+d)の内容は変化しません。

13. LD r, (IY+d)      コード (表6)      クロック19 (KL5C8012のクロック 5+3+1=9)  
IXのかわりにIYを使うだけで動作は 12. と同じです。

14. LD (IX+d),r      コード(表7)      クロック19 (KL5C8012のクロック 5+3+1=9)  
12. LD r, (IX+d)とは逆にrに(IX+d)の内容を入れます。

15. LD (IY+d),r      コード(表8)      クロック19 (KL5C8012のクロック 5+3+1=9)  
13. LD r, (IY+d)とは逆にrに(IY+d)の内容を入れます。

(表7)

r	
B	DD70xx
C	DD71xx
D	DD72xx
E	DD73xx
H	DD74xx
L	DD75xx
A	DD77xx

(表8)

r	
B	FD70xx
C	FD71xx
D	FD72xx
E	FD73xx
H	FD74xx
L	FD75xx
A	FD77xx

表7、表8のxxはインデックスレジスタに対する増分dを示します

16. LD (IX+d),n      コード DD36xxOO      クロック19 (KL5C8012のクロック 5+4+1=10)  
(IX+d)にデータnを転送します。(xxはインデックスレジスタの増分d,    OOは8ビットのデータnを示します。)

17. LD (IY+d),n      コード FD36xxOO      クロック19 (KL5C8012のクロック 5+4+1=10)  
(IY+d)にデータnを転送します。(xxはインデックスレジスタの増分d,    OOは8ビットのデータnを示します。)

以上の他にLD A,I    LD A,R    LD I,A    LD R,Aの4命令がありますが一般には使いません。ここでは説明を省略します。

### Ⅲ. 16ビット転送命令(この命令群もフラグに影響を与えません)

18. LD BC,nn      コード 01xxxx      クロック10 (KL5C8012のクロック 3+3=6)  
16ビットのデータnnをペアレジスタBCに転送します。(8080ニーモニック LXI B, B3B2 )  
nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

19. LD DE,nn      コード 11xxxx      クロック10 (KL5C8012のクロック 3+3=6)  
nnをDEに転送します。(8080ニーモニック LXI D,B3B2 )  
nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

20. LD HL,nn      コード 21xxxx      クロック10 (KL5C8012のクロック 3+3=6)  
nnをHLに転送します。(8080ニーモニック LXI H,B3B2 )  
nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

21. LD SP,nn      コード 31xxxx      クロック10 (KL5C8012のクロック 3+3=6)  
nnをSPに転送します。(8080ニーモニック LXI SP,B3B2 )  
nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

22. LD IX,nn      コード DD21xxxx      クロック14 (KL5C8012のクロック 4+4=8)  
nnをIXに転送します。  
nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

23. LD IY,nn      コード FD21xxxx      クロック14 (KL5C8012のクロック 4+4=8)  
nnをIYに転送します。  
nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

24. LD HL,(nn)      コード 2Axxxx      クロック16 (KL5C8012のクロック 5+3+2=10)  
2バイトのデータnnによって示されるアドレスのメモリ内容をLに、nn+1番地のメモリ内容をHに転送します。(8080ニーモニック LHLD B3B2 )

nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

25. LD BC,(nn)      コード ED4B××××      クロック20 (KL5C8012のクロック 6+4+2=12)  
(nn)をCへ、(nn+1)をBへ転送します。

nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

26. LD DE,(nn)      コード ED5B××××      クロック20 (KL5C8012のクロック 6+4+2=12)  
(nn)をEへ、(nn+1)をDへ転送します。

nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

27. LD SP,(nn)      コード ED7B××××      クロック20 (KL5C8012のクロック 6+4+2=12)  
(nn)、(nn+1)をSPへ転送します。

nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

28. LD IX,(nn)      コード DD2A××××      クロック20 (KL5C8012のクロック 6+4+2=12)  
(nn)、(nn+1)をIXへ転送します。

nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

29. LD IY,(nn)      コード FD2A××××      クロック20 (KL5C8012のクロック 6+4+2=12)  
(nn)、(nn+1)をIYへ転送します。

nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

30. LD (nn),HL      コード 22××××      クロック16 (KL5C8012のクロック 5+3+2=10)  
Lの内容を(nn)へ、Hの内容を(nn+1)へ転送します。(8080ニーモニック SHLD B3B2)

nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

31. LD (nn),BC      コード ED43××××      クロック20 (KL5C8012のクロック 6+4+2=12)  
Cの内容を(nn)へ、Bの内容を(nn+1)へ転送します。

nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

32. LD (nn),DE      コード ED53××××      クロック20 (KL5C8012のクロック 6+4+2=12)  
Eの内容を(nn)へ、Dの内容を(nn+1)へ転送します。

nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

33. LD (nn),SP      コード ED73××××      クロック20 (KL5C8012のクロック 6+4+2=12)  
SPの内容を(nn)、(nn+1)へ転送します。

nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

34. LD (nn),IX      コード DD22××××      クロック20 (KL5C8012のクロック 6+4+2=12)  
IXの内容を(nn)、(nn+1)へ転送します。

nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

35. LD (nn),IY      コード FD22××××      クロック20 (KL5C8012のクロック 6+4+2=12)  
IYの内容を(nn)、(nn+1)へ転送します。

nnの実際の表記については 8. LD A, (nn) の説明を参照してください。

36. LD SP,HL      コード F9                      クロック6 (KL5C8012のクロック 1+1=2)  
HLの内容をSPに転送します。(8080ニーモニック SPHL)

37. LD SP,IX      コード DDF9                      クロック10 (KL5C8012のクロック 2+2=4)  
IXの内容をSPに転送します。

38. LD SP,IY      コード FDF9                      クロック10 (KL5C8012のクロック 2+2=4)  
IYの内容をSPに転送します。

39. PUSH BC      コード C5                      クロック11 (KL5C8012のクロック 4+1+2=7)  
ペアレジスタBCの内容をSPで示されるプッシュダウンスタックへ転送します。(SP-1)←B, (SP-2)←C (8080ニーモニック PUSH B)



40. PUSH DE      コード D5              クロック11 (KL5C8012のクロック 4+1+2=7)  
DEの内容をスタックに転送します。(SP-1)←D, (SP-2)←E  
(8080ニーモニック PUSH D)
41. PUSH HL      コード E5              クロック11 (KL5C8012のクロック 4+1+2=7)  
HLの内容をスタックに転送します。(SP-1)←H, (SP-2)←L  
(8080ニーモニック PUSH H)
42. PUSH AF      コード F5              クロック11 (KL5C8012のクロック 4+1+2=7)  
アキュムレータAとフラグレジスタFの内容をスタックに転送します。(SP-1)←A, (SP-2)←F  
(8080ニーモニック PUSH PSW)
43. PUSH IX      コード DDE5              クロック15 (KL5C8012のクロック 5+2+2=9)  
IXの内容をスタックに転送します。
44. PUSH IY      コード FDE5              クロック15 (KL5C8012のクロック 5+2+2=9)  
IYの内容をスタックに転送します。
45. POP BC        コード C1              クロック10 (KL5C8012のクロック 3+1+2=6)  
スタックのトップにあるデータがBCに転送されます。C←(SP)、B←(SP+1)  
(8080ニーモニック POP B)
46. POP DE        コード D1              クロック10 (KL5C8012のクロック 3+1+2=6)  
スタックのトップにあるデータがDEに転送されます。E←(SP)、D←(SP+1)  
(8080ニーモニック POP D)
47. POP HL        コード E1              クロック10 (KL5C8012のクロック 3+1+2=6)  
スタックのトップにあるデータがHLに転送されます。L←(SP)、H←(SP+1)  
(8080ニーモニック POP H)
48. POP AF        コード F1              クロック10 (KL5C8012のクロック 3+1+2=6)  
スタックのトップにあるデータがA及びFに転送されます。F←(SP)、A←(SP+1)  
(8080ニーモニック POP PSW)
49. POP IX        コード DDE1              クロック14 (KL5C8012のクロック 4+2+2=8)  
スタックのトップにあるデータがIXに転送されます。
50. POP IY        コード FDE1              クロック14 (KL5C8012のクロック 4+2+2=8)  
スタックのトップにあるデータがIYに転送されます。

#### IV. 交換、ブロック転送、検索命令

51. EX DE,HL     コード EB              クロック4 (KL5C8012のクロック 1+1=2)  
ペアレジスタDEとHLの内容を交換します。(8080ニーモニック XCHG)
52. EX AF,AF'    コード 08              クロック4 (KL5C8012のクロック 1+1=2)  
A及びFとこれに対応する裏レジスタA'、F'とを交換します。なお、プログラム実行のうえで「表レジスタ」と「裏レジスタ」とは全く同等で区別して認識することはできません。したがって不用意にこの命令を用いると混乱を招きます。この点については次のEXX命令も同じです。しかし、スタックを使わないでレジスタの退避に用いることが出来るので使い方によっては便利な命令です。その意味では次のEXX命令はBC, DE, HLの3つのペアレジスタを一度に交換できるため更にメリットが大きくなります。
53. EXX           コード D9              クロック4 (KL5C8012のクロック 1+1=2)  
ペアレジスタBCとBC'、DEとDE'、HLとHL'とを交換します。(52. EX AF, AF' 参照)
54. EX (SP),HL    コード E3              クロック19 (KL5C8012のクロック 5+1+2=8)  
スタックのトップにあるデータ(2バイト)とペアレジスタHLの内容を交換します。  
Lと(SP)、Hと(SP+1)の内容を交換します。(8080ニーモニック XTHL)
55. EX (SP),IX    コード DDE3              クロック23 (KL5C8012のクロック 6+2+2=10)

スタックのトップにあるデータ(2バイト)とIXとの内容を交換します。

56. EX (SP),IY      コード FDE3      クロック23 (KL5C8012のクロック 6+2+2=10)  
スタックのトップあるデータ(2バイト)とIYとの内容を交換します。

[フラグについて]

以上の命令はフラグに影響を与えませんが、以下の命令はそれぞれフラグに影響を与えます。なお、フラグの記号が8080の表現と一部異なっています。念のため以下に整理しておきます。

- C キャリーフラグ      計算結果のオーバーフローでセットされ、ローテイト命令でもセット、リセットされる。
- Z ゼロフラグ          計算結果がゼロのときセット。
- P/V パリティ/オーバーフローフラグ(8080:P)  
1バイト内の1になっているビット数が偶数でセット、奇数でリセット、また算術演算の結果オーバーフローでセット。
- S サインフラグ      計算結果がマイナスのときセット、(8ビット目が1の数がマイナスになる。FF~80がマイナス、00~7Fがプラス)
- N 加減算フラグ      ADD命令のとき0、SUB命令のとき1(DAA命令に使用される)
- H ハーフキャリーフラグ (8080:CY4 )  
算術演算のビット3とビット4との間のキャリー、ポローの有無によってSET、RESETされる。

◎ フラグレジスタFにおける各フラグの位置

7	6	5	4	3	2	1	0
S	Z	×	H	×	P/V	N	C

×は使用されない

なお、以下の説明では影響を受けるフラグのみ表記します。書いてないフラグは影響を受けないことを意味します。

57. LDI                  コード EDA0      クロック16 (KL5C8012のクロック 5+2+2=9)  
HLレジスタで示されるメモリアドレスの内容をDEレジスタで示されるメモリアドレスへ転送したうえでHL、DEを+1します。また同時にBCの内容を-1します。つまり(DE)←(HL)、HL←HL+1、DE←DE+1、BC←BC-1  
この命令の実行によって、BC=0になるとP/V=0、それ以外ではP/V=1になります。またN、Hはつねに0になります。

58. LDIR      コード EDB0      クロック 21(BC≠0)、16(BC=0)(KL5C8012のクロック 6+2+2=10)  
とても便利な命令です。(HL)から(DE)へデータ転送し、HLとDEを+1すると共にBCレジスタを-1してBC=0になるまでくり返し実行します。転送したいデータの先頭アドレスをHLに、転送先の先頭アドレスをDEに入れ、転送バイト数をBCに入れたうえでこの命令を実行させるだけでデータブロックの転送が行われます。  
P/V=0、N=0、H=0

59. LDD                  コード EDA8      クロック16 (KL5C8012のクロック 5+2+2=9)  
57. LDIと同様(DE)←(HL)を実行し、BC←BC-1しますが、HL、DEに対しては内容を-1します。BC=0のときP/V=0、BC≠0のときP/V=1。N、Hは常に0になります。

60. LDDR      コード EDB8      クロック 21(BC≠0)、16(BC=0)(KL5C8012のクロック 6+2+2=10)  
58. LDIRと同様(DE)←(HL)を繰り返しますがDE、HLは-1されBCも-1されます。BC=0になるまで繰り返し実行されます。  
P/V=0、N=0、H=0

61. CPI                  コード EDA1      クロック16 (KL5C8012のクロック 4+2+1=7)  
A-(HL)を計算しこの結果によってZ、S、Hがセット又はリセットされ、N=1になります。A、(HL)は変化しません。また同時にHLが+1されBCが-1されます。その結果BC=0ならばP/V=0、BC≠0ならP/V=1になります。

62. CPIR      コード EDB1      クロック 21(BC≠0)、16(BC=0) (KL5C8012のクロック 6+2+1=9)  
上記と同じようにA-(HL)を行いますがこの場合はBC=0になるまで又はA-(HL)=0、つまりA=(HL)になるようなデータが見つかるまで繰り返し実行されます。この命令の実行の結果、A-(HL)=0のときZ=1、A-(HL)<0のときS=1、BC≠0ならP/V=1、またNはつねに1になります。計算結果によってHがセット、リセットされます。

63. CPD                  コード EDA9      クロック16 (KL5C8012のクロック 4+2+1=7)  
HLが-1される点を除いて他は61. CPIと同じです。

64. CPDR コード EDB9 クロック 21(BC≠0)、16(BC=0)(KL5C8012のクロック 6+2+1=9)  
HLが-1されていく点を除いて他は62. CPIRと同じです。

## V. 8ビット算術・論理演算命令

このグループの命令はINC、DEC命令を除いてすべてアキュムレータ(レジスタ)との間で演算されます。また、すべてフラグに影響を与えます。

65. ADD A,r コード (表9) クロック4 (KL5C8012のクロック 1+1=2)  
アキュムレータAとレジスタrとを加算し結果をAに入れます。この結果C、Z、S、Hがセット、リセットされN=0になります。また、結果がオーバーフローしたときP/V=1、その他のときはP/V=0になります。  
(8080ニーモニック ADDr)

66. ADD A,n コード C6×× クロック7 (KL5C8012のクロック 2+2=4)  
Aとnとを加算し、結果をAに入れます。フラグについては65. ADD A, r と同じです。  
(8080ニーモニック ADI B2 )

(表9)		(表10)	
r		r	
B	8 0	B	8 8
C	8 1	C	8 9
D	8 2	D	8 A
E	8 3	E	8 B
H	8 4	H	8 C
L	8 5	L	8 D
A	8 7	A	8 F

67. ADD A,(HL) コード 86 クロック7 (KL5C8012のクロック 2+1+1=4)  
AとHLを加算し、結果をAに入れます。フラグについては65. ADD A,r と同じです。  
(8080ニーモニック ADD M)

68. ADD A,(IX+d) コード DD86×× クロック19 (KL5C8012のクロック 5+3+1=9)  
Aと(IX+d)を加算し、結果をAに入れます。××は増分dです。フラグについては65. ADD A,r と同じです。

69. ADD A,(IY+d) コード FD86×× クロック19 (KL5C8012のクロック 5+3+1=9)  
Aと(IY+d)を加算し、結果をAに入れます。××は増分dです。フラグについては65. ADD A,r と同じです。

70. ADC A,r コード (表10) クロック4 (KL5C8012のクロック 1+1=2)  
AとレジスタrとさらにキャリーフラグCとを加算し結果をAに入れます。フラグについては65. ADD A, r と同じです。(8080ニーモニック ADC r)

71. ADC A,n コード CE×× クロック7 (KL5C8012のクロック 2+2=4)  
AとnとキャリーCとを加算し、Aに入れます。フラグについては65. ADD A, r と同じです。  
(8080ニーモニック ACI B2 )

72. ADC A,(HL) コード 8E クロック7 (KL5C8012のクロック 2+1+1=4)  
Aと(HL)とキャリーCとを加算し、Aに入れます。フラグについては65. ADDA,r と同じです。  
(8080ニーモニック ADC M)

73. ADC A,(IX+d) コード DD8E×× クロック19 (KL5C8012のクロック 5+3+1=9)  
Aと(IX+d)とキャリーCとを加算しAに入れます。××は増分dです。フラグについては65. ADDA,r と同じです。

74. ADC A,(IY+d) コード FD8E×× クロック19 (KL5C8012のクロック 5+3+1=9)  
Aと(IY+d)とキャリーCとを加算しAに入れます。フラグについては65. ADDA,r と同じです。

75. SUB r コード (表11) クロック4 (KL5C8012のクロック 1+1=2)  
Aからrを引いて結果をAに入れます。フラグはN=1になることを除いて65. ADD A, r と同じです。  
(8080ニーモニック SUB r)

76. SUB n コード D6×× クロック7 (KL5C8012のクロック 2+2=4)

Aからnを引いて結果をAに入れます。フラグは75. SUB rと同じです。(8080ニーモニック SUI B2 )

77. SUB (HL)                   コード 96                   クロック7 (KL5C8012のクロック 2+1+1=4)  
Aから(HL)を引いて結果をAに入れます。フラグは75. SUB rと同じです。(8080ニーモニック SUB M)

r	
B	9 0
C	9 1
D	9 2
E	9 3
H	9 4
L	9 5
A	9 7

r	
B	9 8
C	9 9
D	9 A
E	9 B
H	9 C
L	9 D
A	9 F

78. SUB (IX+d)               コード DD96××               クロック19 (KL5C8012のクロック 5+3+1=9)  
Aから(IX+d)を引いて結果をAに入れます。フラグは75. SUB rと同じです。

79. SUB (IY+d)               コード FD96××               クロック19 (KL5C8012のクロック 5+3+1=9)  
Aから(IY+d)を引いて結果をAに入れます。フラグは75. SUB rと同じです。

80. SBC A,r                   コード (表12)                   クロック4 (KL5C8012のクロック 1+1=2)  
Aからrを引き、さらにキャリーCを引いて結果をAに入れます。フラグは75. SUB rと同じです。  
(8080ニーモニック SBB r)

81. SBC A,n                   コード DE××                   クロック7 (KL5C8012のクロック 2+2=4)  
Aからnを引き、さらにキャリーCを引いて結果をAに入れます。フラグは75. SUB rと同じです。  
(8080ニーモニック SBI B2 )

82. SBC A,(HL)               コード 9E                   クロック7 (KL5C8012のクロック 2+1+1=4)  
Aから(HL)を引き、さらにキャリーCを引いて結果をAに入れます。フラグは75. SUB rと同じです。  
(8080ニーモニック SBB M)

83. SBC A,(IX+d)           コード DD9E××               クロック19 (KL5C8012のクロック 5+3+1=9)  
Aから(IX+d)を引き、さらにキャリーCを引いて結果をAに入れます。フラグは75. SUB rと同じです。

84. SBC A,(IY+d)           コード FD9E××               クロック19 (KL5C8012のクロック 5+3+1=9)  
Aから(IY+d)を引き、さらにキャリーCを引いて結果をAに入れます。フラグは75. SUB rと同じです。

85. AND r                    コード (表13)               クロック4 (KL5C8012のクロック 1+1=2)  
Aとレジスタrとの論理積(AND)をとって結果をAに入れます。フラグはC=0、N=0、H=1になり、結果が0ならZ=1、また、マイナスならS=1になり、結果のうち1のビットが偶数ならばP/V=1となります。  
(8080ニーモニック ANA r)

r	
B	A 0
C	A 1
D	A 2
E	A 3
H	A 4
L	A 5
A	A 7

r	
B	B 0
C	B 1
D	B 2
E	B 3
H	B 4
L	B 5
A	B 7

86. AND n                    コード E6××                   クロック7 (KL5C8012のクロック 2+2=4)  
AとnとのANDをとって結果をAに入れます。フラグは85. AND rと同じです。  
(8080ニーモニック ANI B2 )

87. AND (HL)                コード A6                   クロック7 (KL5C8012のクロック 2+1+1=4)

Aと(HL)とのANDをとって結果をAに入れます。フラグは85. AND rと同じです。  
(8080ニーモニック ANA M)

88. AND (IX+d) コード DDA6×× クロック19 (KL5C8012のクロック 5+3+1=9)  
Aと(IX+d)とのANDをとって結果をAに入れます。フラグは85. AND rと同じです。

89. AND (IY+d) コード FDA6×× クロック19 (KL5C8012のクロック 5+3+1=9)  
Aと(IY+d)とのANDをとって結果をAに入れます。フラグは85. AND rと同じです。

90. OR r コード (表14) クロック4 (KL5C8012のクロック 1+1=2)  
Aとrとの論理和(OR)をとって結果をAに入れます。フラグは、H=0になることを除いては85. AND rと同じです。(8080ニーモニック ORA r)

91. OR n コード F6×× クロック7 (KL5C8012のクロック 2+2=4)  
AとnとのORをとって結果をAに入れます。フラグは、90. OR rと同じです。  
(8080ニーモニック ORI B2)

92. OR (HL) コード B6 クロック7 (KL5C8012のクロック 2+1+1=4)  
Aと(HL)とのORをとって結果をAに入れます。フラグは、90. OR rと同じです。  
(8080ニーモニック ORA M)

93. OR (IX+d) コード DDB6×× クロック19 (KL5C8012のクロック 5+3+1=9)  
Aと(IX+d)とのORをとって結果をAに入れます。フラグは、90. OR rと同じです。

94. OR (IY+d) コード FDB6×× クロック19 (KL5C8012のクロック 5+3+1=9)  
Aと(IY+d)とのORをとって結果をAに入れます。フラグは、90. OR rと同じです。

95. XOR r コード (表15) クロック4 (KL5C8012のクロック 1+1=2)  
Aとrとの排他的論理和(Exclusive OR)をとって結果をAに入れます。フラグは90. OR rと同じです。  
(8080ニーモニック XRA r)

(表15)		(表16)	
r		r	
B	A 8	B	B 8
C	A 9	C	B 9
D	A A	D	B A
E	A B	E	B B
H	A C	H	B C
L	A D	L	B D
A	A F	A	B F

96. XOR n コード EE×× クロック7 (KL5C8012のクロック 2+2=4)  
Aとnとの排他的論理和をとって結果をAに入れます。フラグは90. OR rと同じです。  
(8080ニーモニック XRI B2)

97. XOR (HL) コード AE クロック7 (KL5C8012のクロック 2+1+1=4)  
Aと(HL)との排他的論理和をとって結果をAに入れます。フラグは90. OR rと同じです。  
(8080ニーモニック XRA M)

98. XOR (IX+d) コード DDAE×× クロック19 (KL5C8012のクロック 5+3+1=9)  
Aと(IX+d)との排他的論理和をとって結果をAに入れます。フラグは90. OR rと同じです。

99. XOR (IY+d) コード FDAE×× クロック19 (KL5C8012のクロック 5+3+1=9)  
Aと(IY+d)との排他的論理和をとって結果をAに入れます。フラグは90. ORrと同じです。

100. CP r コード (表16) クロック4 (KL5C8012のクロック 1+1=2)  
Aとrとを比較します。具体的にはA-rを計算しその結果をフラグによって示します。しかしSUB r命令とは異なりAの内容は変化しません。N=1になります。A-rでポローが生じた時C=1、またA=rのときZ=1、A-rがマイナスの時S=1、A-rの結果、ビット4からのポローがあればH=1、結果がオーバーフローならP/V= 1になります。(8080ニーモニック CMP r)

101. CP n                   コード FE××            クロック7 (KL5C8012のクロック 2+2=4)  
Aとnとを比較します。フラグは100. CP rと同じです。(8080ニーモニック CPI B2)

102. CP (HL)            コード BE            クロック7 (KL5C8012のクロック 2+1+1=4)  
Aと(HL)とを比較します。フラグは100. CP rと同じです。(8080ニーモニック CMP M)

103. CP (IX+d)        コード DDBE××       クロック19 (KL5C8012のクロック 5+3+1=9)  
Aと(IX+d)とを比較します。フラグは100. CP rと同じです。

104. CP (IY+d)        コード FDBE××       クロック19 (KL5C8012のクロック 5+3+1=9)  
Aと(IY+d)とを比較します。フラグは100. CP rと同じです。

105. INC r            コード (表17)           クロック4 (KL5C8012のクロック 1+1=2)  
レジスタrの内容を+1します。以下のINC, DEC命令ではキャリーCのみ変化しません。注意して下さい。N=0になります。結果が0ならZ=1、マイナスならS=1、この命令の実行後、結果が80Hならば(つまり実行前の値が7FHならば)P/V=1になります。ビット3からキャリーが出ればH=1になります。  
(8080ニーモニック INR r)

(表17)		(表18)	
r		r	
B	0 4	B	0 5
C	0 C	C	0 D
D	1 4	D	1 5
E	1 C	E	1 D
H	2 4	H	2 5
L	2 C	L	2 D
A	3 C	A	3 D

106. INC (HL)        コード 34            クロック11 (KL5C8012のクロック 4+1+2=7)  
(HL)の内容を+1します。フラグは105. INC rと同じです。(8080ニーモニック INR M)

107. INC (IX+d)        コード DD34××        クロック23 (KL5C8012のクロック 7+3+2=12)  
(IX+d)の内容を+1します。フラグは105. INC rと同じです。

108. INC (IY+d)        コード FD34××        クロック23 (KL5C8012のクロック 7+3+2=12)  
(IY+d)の内容を+1します。フラグは105. INC rと同じです。

109. DEC r            コード (表18)           クロック4 (KL5C8012のクロック 1+1=2)  
rの内容を-1します。フラグはN=1になります。また、結果が7FH(つまり実行前の値が80H)ならばP/V=1、この他のフラグについては105. INC rと同じです。(8080ニーモニック DCR r)

110. DEC (HL)        コード 35            クロック11 (KL5C8012のクロック 4+1+2=7)  
(HL)の内容を-1します。フラグは109. DEC rと同じです。(8080ニーモニック DCR M)

111. DEC (IX+d)        コード DD35××        クロック23 (KL5C8012のクロック 7+3+2=12)  
(IX+d)の内容を-1します。フラグは109. DEC rと同じです。

112. DEC (IY+d)        コード FD35××        クロック23 (KL5C8012のクロック 7+3+2=12)  
(IY+d)の内容を-1します。フラグは109. DEC rと同じです。

## VI. その他の算術演算、CPU制御命令

113. DAA            コード 27            クロック4 (KL5C8012のクロック 1+1=2)  
加減算後のAレジスタの内容をBCD表示2桁に直します。動作はかなり複雑ですが、8ビットの数をBCD2桁とみなして加減算した後この命令を行うことによって、結果もBCD2桁で得られるものです。したがって、加減算を行う前の数値がBCD表現で誤っている場合(例えばABとか7D)はDAA命令によっても正しい結果は得られません。ここでいう加算とはADD、ADC、INC命令であり。減算とはSUB、SBC、DEC及びNEG命令です。結果が0のときZ=1、マイナスの時S=1、また、結果のビットが1であるものが偶数個あるときP/V=1、またさらに上位桁へのキャリー、ボローが出た場合はC=1になります。(8080ニーモニック DAA)

114. CPL                   コード 2F                   クロック4 (KL5C8012のクロック 1+1=2)  
Aの内容の1,0を反転します。(各ビット毎 1→0、0→1にする)フラグはN=1、H=1他は変化しません。(8080ニーモニック CMA)

115. NEG                   コード ED44                   クロック8 (KL5C8012のクロック 2+2=4)  
0-Aを計算してAに入れます。(Aの符号を逆にする)ただし、80H(-128)は変化しないので注意して下さい。N=1、結果が0ならZ=1、マイナスならS=1、ビット4からポローがあればH=1、命令実行前のAの内容が0ならばC=0、また実行前の内容が80HならばP/V=1になります。

116. CCF                   コード 3F                   クロック4 (KL5C8012のクロック 1+1=2)  
キャリーフラグCを反転します。同時にN=0になり、Hは実行前のCの内容と同じになります。他のフラグは不変です。(8080ニーモニック CMC)

117. SCF                   コード 37                   クロック4 (KL5C8012のクロック 1+1=2)  
キャリーフラグCをセットします。N=0、H=0になります。(8080ニーモニック STC)

118. NOP                   コード 00                   クロック4 (KL5C8012のクロック 1+1=2)  
何も実行しないで次の命令に進みます。No Operation(8080ニーモニック NOP)

119. HALT                   コード 76                   クロック4 (KL5C8012のクロック 2+1=3)  
割込かりセットがかかるまでCPUの実行を停止します。(8080ニーモニック HLT)

この他、割込制御命令としてDI(コードF3、割込禁止)、EI(コードFB、割込許可)IM0(コードED46)、IM1(コードED56)、IM2(コードED5E)(以上3種割込モード指定)がありますが通常は使用しないので説明を省略します。

## VII. 16ビット算術演算命令

120. ADD HL,BC           コード 09                   クロック11 (KL5C8012のクロック 1+1=2)  
HLの内容とBCの内容を加算し、結果をHLに入れます。N=0になります。ビット17からのキャリーがあればC=1になります。ビット11からのキャリーがあればH=1になります。(8080ニーモニック DAD B)

121. ADD HL,DE           コード 19                   クロック11 (KL5C8012のクロック 1+1=2)  
HLとDEとを加算し、結果をHLに入れます。フラグについては120. ADD HL, BCと同じです。(8080ニーモニック DAD D)

122. ADD HL,HL           コード 29                   クロック11 (KL5C8012のクロック 1+1=2)  
HLの内容を2倍にします。フラグは120. ADD HL,BCと同じです。(8080ニーモニック DAD H)

123. ADD HL,SP           コード 39                   クロック11 (KL5C8012のクロック 1+1=2)  
HLとSPとを加算し、結果をHLに入れます。フラグは120. ADD HL,BCと同じです。(8080ニーモニック DAD SP)

124. ADC HL,BC           コード ED4A                   クロック15 (KL5C8012のクロック 2+2=4)  
HLとBCとキャリーCとを加算し、結果をHLに入れます。N=0、H=不明、ビット15からのキャリーがあればC=1、また結果が0ならばZ=1、マイナスならS=1、オーバーフローならP/V=1になります。

125. ADC HL,DE           コード ED5A                   クロック15 (KL5C8012のクロック 2+2=4)  
HLとDEとキャリーCとを加算し、結果をHLに入れます。フラグは124. ADC HL, BCと同じです。

126. ADC HL,HL           コード ED6A                   クロック15 (KL5C8012のクロック 2+2=4)  
HLの内容を2倍し、キャリーCを加えます。フラグは124. ADC HL,BCと同じです。

127. ADC HL,SP           コード ED7A                   クロック15 (KL5C8012のクロック 2+2=4)  
HLとSPとキャリーCとを加算し、結果をHLに入れます。フラグは124. ADC HL, BCと同じです。

128. SBC HL,BC           コード ED42                   クロック15 (KL5C8012のクロック 2+2=4)  
HLからBC及びキャリーCを減算し、結果をHLに入れます。N=0になること以外は、フラグについては124. ADC HL,BCと同じです。

129. SBC HL,DE   コード ED52       クロック15 (KL5C8012のクロック 2+2=4)  
HLからDE及びキャリーCを減算し、結果をHLに入れます。フラグは128. SBC HL,BCと同じです。
130. SBC HL,HL   コード ED62       クロック15 (KL5C8012のクロック 2+2=4)  
HLからHL及びキャリーCを減算し、結果をHLに入れます。フラグは128. SBC HL,BCと同じです。
131. SBC HL,SP   コード ED72       クロック15 (KL5C8012のクロック 2+2=4)  
HLからSP及びキャリーCを減算し、結果をHLに入れます。フラグは128. SBC HL,BCと同じです。
132. ADD IX,BC    コード DD09       クロック15 (KL5C8012のクロック 2+2=4)  
インデックスレジスタIXとBCとの内容を加えIXに入れます。N=0になります。ビット17からのキャリーがあればC=1になります。ビット11からのキャリーがあればH=1になります。
133. ADD IX,DE   コード DD19       クロック15 (KL5C8012のクロック 2+2=4)  
IX+DEの結果をIXに入れます。フラグは132. ADD IX,BCと同じです。
134. ADD IX,IX   コード DD29       クロック15 (KL5C8012のクロック 2+2=4)  
IX+IXの結果をIXに入れます。(IXの内容を倍にする)フラグは132. ADD IX,BCと同じです。
135. ADD IX,SP   コード DD39       クロック15 (KL5C8012のクロック 2+2=4)  
IX+SPの結果をIXに入れます。フラグは132. ADD IX,BCと同じです。
136. ADD IY,BC   コード FD09       クロック15 (KL5C8012のクロック 2+2=4)  
IY+BCの結果をIYに入れます。フラグは132. ADD IX,BCと同じです。
137. ADD IY,DE   コード FD19       クロック15 (KL5C8012のクロック 2+2=4)  
IY+DEの結果をIYに入れます。フラグは132. ADD IX,BCと同じです。
138. ADD IY,IY   コード FD29       クロック15 (KL5C8012のクロック 2+2=4)  
IYの内容を倍にします。フラグは132. ADD IX,BCと同じです。
139. ADD IY,SP   コード FD39       クロック15 (KL5C8012のクロック 2+2=4)  
IY+SPを計算して結果をIYに入れます。フラグは132. ADD IX,BCと同じです。
140. INC BC       コード 03       クロック6 (KL5C8012のクロック 1+1=2)  
BCの内容を+1します。フラグは変化しません。(8080ニーモニック INX B)
141. INC DE       コード 13       クロック6 (KL5C8012のクロック 1+1=2)  
DEの内容を+1します。(8080ニーモニック INX D)
142. INC HL       コード 23       クロック6 (KL5C8012のクロック 1+1=2)  
HLの内容を+1します。(8080ニーモニック INX H)
143. INC SP       コード 33       クロック6 (KL5C8012のクロック 1+1=2)  
SPの内容を+1します。(8080ニーモニック INX SP)
144. INC IX       コード DD23       クロック10 (KL5C8012のクロック 2+2=4)  
IXの内容を+1します。
145. INC IY       コード FD23       クロック10 (KL5C8012のクロック 2+2=4)  
IYの内容を+1します。
146. DEC BC       コード 0B       クロック6 (KL5C8012のクロック 1+1=2)  
BCの内容を-1します。(8080ニーモニック DCX B)
147. DEC DE       コード 1B       クロック6 (KL5C8012のクロック 1+1=2)  
DEの内容を-1します。(8080ニーモニック DCX D)



148. DEC HL      コード 2B      クロック6 (KL5C8012のクロック 1+1=2)  
HLの内容を-1します。(8080ニーモニック DCX H)

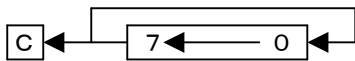
149. DEC SP      コード 3B      クロック6 (KL5C8012のクロック 1+1=2)  
SPの内容を-1します。(8080ニーモニック DCX SP)

150. DEC IX      コード DD2B    クロック10 (KL5C8012のクロック 2+2=4)  
IXの内容を-1します。

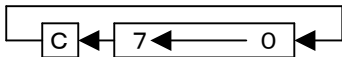
151. DEC IY      コード FD2B    クロック10 (KL5C8012のクロック 2+2=4)  
IYの内容を-1します。

Ⅷ. 回転、シフト命令

152. RLCA      コード 07      クロック4 (KL5C8012のクロック 1+1=2)  
Aレジスタの内容を1ビット左にシフトし、ビット7のデータをビット0に入れると共にキャリーCにも入れます。N=0、H=0となり、Cはシフト前のビット7が1のときセットされます。(8080ニーモニック RLC)



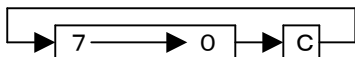
153. RLA      コード 17      クロック4 (KL5C8012のクロック 1+1=2)  
キャリーを含め9ビットのデータを左に1ビット回転させます。フラグは152. RLCAと同じです。(8080ニーモニック RAL)



154. RRCA      コード 0F      クロック4 (KL5C8012のクロック 1+1=2)  
Aの内容を右に1ビットシフトさせると共にビット0のデータをキャリーCにも入れます。フラグはシフト前のビット0の内容がCに入る以外は152. RLCAと同じです。(8080ニーモニック RRC)



155. RRA      コード 1F      クロック4 (KL5C8012のクロック 1+1=2)  
キャリーを含め9ビットのデータを1ビット右に回転させます。フラグは154. RRCAと同じです。(8080ニーモニック RAR)



156. RLC r      コード (表19)    クロック8 (KL5C8012のクロック 2+2=4)  
152. RLCAと同じ動作をrについて行います。N=0、H=0、Cが変化する他に結果のレジスタの値によってZ、Sがセット、リセットされまた1のビット数によりP/Vがセット、リセットされます。

(表19)

r	
B	CB00
C	CB01
D	CB02
E	CB03
H	CB04
L	CB05
A	CB07

157. RLC (HL)    コード CB06      クロック15 (KL5C8012のクロック 5+2+2=9)  
152. RLCAと同じ動作を(HL)について行います。フラグについては156. RLC rと同じです。

158. RLC (IX+d)    コード DDCB××06    クロック23 (KL5C8012のクロック 7+4+2=13)

152. RLCAと同じ動作を(IX+d)について行います。フラグについては156. .RLC rと同じです。

159. RLC (IY+d) コード FDCB××06 クロック23 (KL5C8012のクロック 7+4+2=13)  
152. RLCAと同じ動作を(IY+d)について行います。フラグについては156. RLC rと同じです。

160. RL r コード (表20) クロック8 (KL5C8012のクロック 2+2=4)  
153. RLAと同じ動作をrについて行います。フラグは156. RLC rと同じです。

(表20)

r	
B	CB10
C	CB11
D	CB12
E	CB13
H	CB14
L	CB15
A	CB17

161. RL (HL) コード CB16 クロック15 (KL5C8012のクロック 5+2+2=9)  
153. RLAと同じ動作を(HL)について行います。フラグは156. RLC rと同じです。

162. RL (IX+d) コード DDCB××16 クロック23 (KL5C8012のクロック 7+4+2=13)  
153. RLAと同じ動作を(IX+d)について行います。フラグは156. .RLC rと同じです。

163. RL (IY+d) コード FDCB××16 クロック23 (KL5C8012のクロック 7+4+2=13)  
153. RLAと同じ動作を(IY+d)について行います。フラグは156. .RLC rと同じです。

164. RRC r コード (表21) クロック8 (KL5C8012のクロック 2+2=4)  
154. RRCAと同じ動作をrについて行います。フラグは156. RLC rと同じです。

(表21)

r	
B	CB08
C	CB09
D	CB0A
E	CB0B
H	CB0C
L	CB0D
A	CB0F

165. RRC (HL) コード CB0E クロック15 (KL5C8012のクロック 5+2+2=9)  
154. RRCAと同じ動作を(HL)について行います。フラグは156. RLC rと同じです。

166. RRC (IX+d) コード DDCB××0E クロック23 (KL5C8012のクロック 7+4+2=13)  
154. RRCAと同じ動作を(IX+d)について行います。フラグは156. RLC rと同じです。

167. RRC (IY+d) コード FDCB××0E クロック23 (KL5C8012のクロック 7+4+2=13)  
154. RRCAと同じ動作を(IY+d)について行います。フラグは156. RLC rと同じです。

168. RR r コード (表22) クロック8 (KL5C8012のクロック 2+2=4)  
155. RRAと同じ動作をrについて行います。フラグは156. RLC rと同じです。

(表22)

r	
B	CB18
C	CB19
D	CB1A
E	CB1B
H	CB1C
L	CB1D
A	CB1F

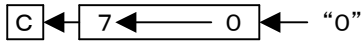
169. RR (HL) コード CB1E クロック15 (KL5C8012のクロック 5+2+2=9)

155. RRAと同じ動作を(HL)について行います。フラグは156. RLC rと同じです。

170. RR (IX+d) コード DDCB × × 1E クロック23 (KL5C8012のクロック 7+4+2=13)  
155. RRAと同じ動作を(IX+d)について行います。フラグは156. RLC rと同じです。

171. RR (IY+d) コード FDCB × × 1E クロック23 (KL5C8012のクロック 7+4+2=13)  
155. RRAと同じ動作を(IY+d)について行います。フラグは156. RLC rと同じです。

172. SLA r コード (表23) クロック8 (KL5C8012のクロック 2+2=4)  
rを左に1ビットシフトし、ビット7のデータをキャリーCに入れ、またビット0には0を入れます。フラグは156. RLC rと同じです。



(表23)

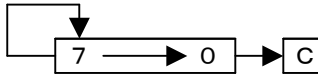
r	
B	CB20
C	CB21
D	CB22
E	CB23
H	CB24
L	CB25
A	CB27

173. SLA (HL) コード CB26 クロック15 (KL5C8012のクロック 5+2+2=9)  
172. SLA rと同じ動作を(HL)について行います。フラグは156. RLC rと同じです。

174. SLA (IX+d) コード DDCB × × 26 クロック23 (KL5C8012のクロック 7+4+2=13)  
172. SLA rと同じ動作を(IX+d)について行います。フラグは156. RLC rと同じです。

175. SLA (IY+d) コード FDCB × × 26 クロック23 (KL5C8012のクロック 7+4+2=13)  
172. SLA rと同じ動作を(IY+d)について行います。フラグは156. RLC rと同じです。

176. SRA r コード (表24) クロック8 (KL5C8012のクロック 2+2=4)  
rの内容を1ビット右にシフトし、ビット0のデータをキャリーCに転送しますが、ビット7は変化しません。つまりビット7とビット6はつねに同じになります。フラグは156. RLC rと同じです。



(表24)

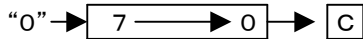
r	
B	CB28
C	CB29
D	CB2A
E	CB2B
H	CB2C
L	CB2D
A	CB2F

177. SRA (HL) コード CB2E クロック15 (KL5C8012のクロック 5+2+2=9)  
176. と同じ動作を(HL)について行います。フラグは156. RLC rと同じです。

178. SRA (IX+d) コード DDCB × × 2E クロック23 (KL5C8012のクロック 7+4+2=13)  
176. と同じ動作を(IX+d)について行います。フラグは156. RLC rと同じです。

179. SRA (IY+d) コード FDCB × × 2E クロック23 (KL5C8012のクロック 7+4+2=13)  
176. と同じ動作を(IY+d)について行います。フラグは156. RLC rと同じです。

180. SRL r コード (表25) クロック8 (KL5C8012のクロック 2+2=4)  
rの内容を1ビット右にシフトし、ビット0のデータをキャリー Cに入れます。ビット7には0を入れます。フラグは156. RLC rと同じです。



(表25)

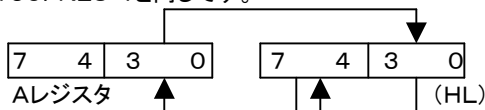
r	
B	CB38
C	CB39
D	CB3A
E	CB3B
H	CB3C
L	CB3D
A	CB3F

181. SRL (HL)      コード CB3E      クロック15 (KL5C8012のクロック 5+2+2=9)  
180. SRL rと同じ動作を(HL)について行います。フラグは156. RLC rと同じです。

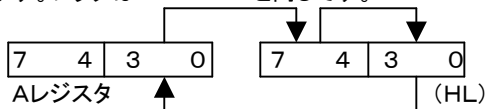
182. SRL (IX+d)      コード DDCB××3E      クロック23 (KL5C8012のクロック 7+4+2=13)  
180. SRL rと同じ動作を(IX+d)について行います。フラグは156. RLC rと同じです。

183. SRL (IY+d)      コード FDCB××3E      クロック23 (KL5C8012のクロック 7+4+2=13)  
180. SRL rと同じ動作を(IY+d)について行います。フラグは156. RLC rと同じです。

184. RLD      コード ED6F      クロック18 (KL5C8012のクロック 5+2+2=9)  
アキュムレータAとメモリ(HL)との間で下図のようなデータの交換が行われます。まず(HL)の下4ビットが上4ビットへ移され、(HL)の上4ビットはAの下4ビットへ移され、Aの下4ビットは(HL)の下4ビットへ移されます。フラグはキャリーCが変化しない点をのぞいて156. RLC rと同じです。



185. RRD      コードED67      クロック18 (KL5C8012のクロック 5+2+2=9)  
(HL)の下位4ビットをAの下位4ビットに移し、Aの下位4ビットを(HL)の上位4ビットに移し、(HL)の上位4ビットを下位4ビットに移します。フラグは184. RLDと同じです。



#### IX. ビットセット・リセット、テスト命令

186. BIT b,r      コード CBxx (xxは下図参照)      クロック8 (KL5C8012のクロック 2+2=4)  
rレジスタのうちbで指定したビットを調べ、それが0ならZ=1、1ならZ=0にします。N=0、H=1になりますが、P/V、Sは不定です。

xx(8ビット)の内容

01 bbb rrr

bbb	ビット位置	rrr	レジスタ
000	0	000	B
001	1	001	C
010	2	010	D
011	3	011	E
100	4	100	H
101	5	101	L
110	6	111	A
111	7		

(例)Dレジスタのビット5を調べる命令コードは、bbb=101、rrr=010なので、CB6Aになります。  
(6A=01101010)

187. BIT b,(HL)      コード CBxx (xxは下図参照)      クロック12 (KL5C8012のクロック 3+2+1=6)  
(HL)のうちビットbの状態を調べます。動作、フラグについては186. BIT b, rと同じです。

xx(8ビット)の内容

01	bbb	110
----	-----	-----

      bbbは186. の表参照

(例)ビット3のチェックならコードはCB5Eになります。

188. BIT b,(IX+d) コード DDCB × × xx (xxは下図参照) クロック20(KL5C8012のクロック 5+4+1=10)  
(IX+d)のうちビットbの状態を調べます。× ×は増分dです。動作、フラグについては186. BIT b,rと同じです。

xx(8ビット)の内容

01	bbb	110
----	-----	-----

      bbbは186. の表参照

189. BIT b,(IY+d) コード FDCB × × xx (xxは下図参照) クロック20(KL5C8012のクロック 5+4+1=10)  
(IY+d)のうちビットbの状態を調べます。× ×は増分dです。動作、フラグについては186. BIT b,rと同じです。

xx(8ビット)の内容

01	bbb	110
----	-----	-----

      bbbは186. の表参照

190. SET b,r      コード CBxx (xxは下図参照) クロック8(KL5C8012のクロック 2+2=4)  
レジスタrのビットbをセットします。フラグは変化しません。

xx(8ビット)の内容

11	bbb	rrr
----	-----	-----

      bbb、rrrは186. の表参照

191. SET b,(HL) コード CBxx (xxは下図参照) クロック15(KL5C8012のクロック 5+2+2=9)  
HLのビットbをセットします。

xx(8ビット)の内容

11	bbb	110
----	-----	-----

      bbbは186. の表参照

192. SET b,(IX+d) コード DDCB × × xx (xxは下図参照) クロック23(KL5C8012のクロック 7+4+2=13)  
(IX+d)のビットbをセットします。× ×は増分dです。

xx(8ビット)の内容

11	bbb	110
----	-----	-----

      bbbは186. の表参照

193. SET b,(IY+d) コード FDCB × × xx (xxは下図参照) クロック23(KL5C8012のクロック 7+4+2=13)  
(IY+d)のビットbをセットします。× ×は増分dです。

xx(8ビット)の内容

11	bbb	110
----	-----	-----

      bbbは186. の表参照

194. RES b,r      コード CBxx (xxは下図参照) クロック8(KL5C8012のクロック 2+2=4)  
レジスタrのビットbをリセットします。フラグは変化しません。

xx(8ビット)の内容

10	bbb	rrr
----	-----	-----

      bbb、rrrは186. の表参照

195. RES b,(HL) コード CBxx (xxは下図参照) クロック15(KL5C8012のクロック 5+2+2=9)  
(HL)のビットbをリセットします。

xx(8ビット)の内容

10	bbb	110
----	-----	-----

      bbbは186. の表参照

196. RES b,(IX+d) コード DDCB × × xx (xxは下図参照) クロック23(KL5C8012のクロック 7+4+2=13)  
(IX+d)のビットbをリセットします。× ×は増分dです。

xx(8ビット)の内容

10	bbb	110
----	-----	-----

      bbbは186. の表参照

197. RES b,(IY+d) コード FDCB××xx (xxは下図参照) クロック23(KL5C8012のクロック 7+4+2=13)  
(IY+d)のビットbをリセットします。××は増分dです。

xx(8ビット)の内容

10	bbb	110
----	-----	-----

      bbbは186. の表参照

X. ジャンプ命令 このグループの命令は、フラグに影響を与えません。

198. JP nn      コード C3××××      クロック10 (KL5C8012のクロック 3+3=6)  
16ビットのデータnnで示されるアドレスにジャンプします。(8080ニーモニック JMP B3B2 )  
××××については、8. LD A,(DE)参照。

ジャンプ先アドレスとしては命令コードの第一バイトが書かれているアドレスを指定します。オペランドを含めて2バイト以上の長さの命令の第一バイト以外の途中のアドレスを指定するとジャンプ命令の実行後に暴走してしまいます。

199. JP NZ,nn      コード C2××××      クロック10 (KL5C8012のクロック 3+3=6)  
Zフラグがセットされていなければnnへジャンプします。(8080ニーモニック JNZ B3B2 )  
ジャンプ先アドレスについては198. JP nnを参照してください。

200. JP Z,nn      コード CA××××      クロック10 (KL5C8012のクロック 3+3=6)  
Zフラグがセットされていたらnnへジャンプします。(8080ニーモニック JZ B3B2 )  
ジャンプ先アドレスについては198. JP nnを参照してください。

201. JP NC,nn      コード D2××××      クロック10 (KL5C8012のクロック 3+3=6)  
Cフラグがセットされていなければnnへジャンプします。(8080ニーモニック JNC B3B2 )  
ジャンプ先アドレスについては198. JP nnを参照してください。

202. JP C,nn      コード DA××××      クロック10 (KL5C8012のクロック 3+3=6)  
Cフラグがセットされていたらnnへジャンプします。(8080ニーモニック JC B3B2 )  
ジャンプ先アドレスについては198. JP nnを参照してください。

203. JP PO,nn      コード E2××××      クロック10 (KL5C8012のクロック 3+3=6)  
P/Vフラグがセットされていなければnnへジャンプします。(8080ニーモニック JPO B3B2 )  
ジャンプ先アドレスについては198. JP nnを参照してください。

204. JP PE,nn      コード EA××××      クロック10 (KL5C8012のクロック 3+3=6)  
P/Vフラグがセットされていたらnnへジャンプします。(8080ニーモニック JPE B3B2 )  
ジャンプ先アドレスについては198. JP nnを参照してください。

205. JP P,nn      コード F2××××      クロック10 (KL5C8012のクロック 3+3=6)  
Sフラグがセットされていなければnnへジャンプします。(8080ニーモニック JP B3B2 )  
ジャンプ先アドレスについては198. JP nnを参照してください。

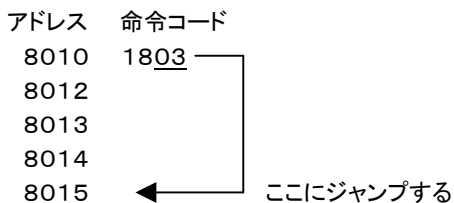
206. JP M,nn      コード FA××××      クロック10 (KL5C8012のクロック 3+3=6)  
Sフラグがセットされていたらnnへジャンプします。(8080ニーモニック JM B3B2 )  
ジャンプ先アドレスについては198. JP nnを参照してください。

207. JR e      コード 18××      クロック12 (KL5C8012のクロック 3+2=5)

この命令の書かれている番地からe番地先へジャンプします。なお、命令のオペランド部(××)にはe-2を書きます。下のように5バイト先にジャンプさせたい時オペランドは、5-2=3となります。

ジャンプ先アドレスとしては命令コードの第一バイトが書かれているアドレスを指定します。オペランドを含めて2バイト以上の長さの命令の第一バイト以外の途中のアドレスを指定するとジャンプ命令の実行後に暴走してしまいます。

+方向に進むときオペランドには00~7F(0~127)の範囲の数を使います。FE~80(-2~-128)を使うと一方向にジャンプします。FE(-2)は無限ループになります。FF(-1)は使えません(暴走します)。



208. JR C,e コード 38×× クロック7(C=0) または12(C=1) (KL5C8012のクロック 2+2=4または3+2=5)  
Cフラグがセットされていればe番地先へジャンプします。e、××については207. JR e参照。
209. JP NC,e コード 30×× クロック7(C=0) または12(C=1) (KL5C8012のクロック 2+2=4または3+2=5)  
Cフラグがセットされていなければe番地先へジャンプします。e、××については207. JR e参照。
210. JR Z,e コード 28×× クロック7(Z=0) または12(Z=1) (KL5C8012のクロック 2+2=4または3+2=5)  
Zフラグがセットされていればe番地先へジャンプします。e、××については207. JR e参照。
211. JR NZ,e コード 20×× クロック7(Z=1) または12(Z=0) (KL5C8012のクロック 2+2=4または3+2=5)  
Zフラグがセットされていなければe番地先へジャンプします。e、××については207. JR e参照。
212. JP (HL) コード E9 クロック4 (KL5C8012のクロック 1+1=2)  
ペアレジスタHLの内容をプログラムカウンタPCにロードします。つまりHLで示されるアドレスへジャンプします。(8080ニーモニック PCHL)
213. JP (IX) コード DDE9 クロック8 (KL5C8012のクロック 2+2=4)  
インデックスレジスタIXで示されるアドレスへジャンプします。
214. JP (IY) コード FDE9 クロック8 (KL5C8012のクロック 2+2=4)  
インデックスレジスタIYで示されるアドレスへジャンプします。
215. DJNZ e コード 10×× クロック 8(B=0)または13(B≠0) (KL5C8012のクロック 2+2=4)  
少しかわった命令です。Bレジスタから1を引き、その結果が0でなければe番地先へジャンプします。(e、××については207. JR e参照)  
例えば、ある処理を何回か繰り返し行うようなプログラムに利用します。Bレジスタに繰り返し回数を入れて使用します。
- X I. コール、リターン命令 このグループの命令はフラグに影響を与えません。
216. CALL nn コード CD×××× クロック17 (KL5C8012のクロック 5+3+2=10)  
nnで示されるアドレスからはじまるサブルーチンをコールします。なおこのとき、このCALL命令の次の命令のアドレスがスタックに退避されます。この結果SPは2減じられます。サブルーチンの最後にリターン命令を使うとスタックに退避されていたアドレスがPCに入れられて、その結果コール命令の次の命令のアドレスへ戻って処理が続けられます。(8080ニーモニック CALL B3B2 )
217. CALL NZ,nn コード C4×××× クロック 10(Z=1)または17(Z=0) (KL5C8012のクロック 3+3=6または5+3+2=10)  
Zフラグがセットされていなければnnからはじまるサブルーチンをコールします。  
(8080ニーモニック CNZ B3B2 )
218. CALL Z,nn コード CC×××× クロック 10(Z=0)または17(Z=1) (KL5C8012のクロック 3+3=6または5+3+2=10)  
Zフラグがセットされていたらnnからはじまるサブルーチンをコールします。  
(8080ニーモニック CZ B3B2 )
219. CALL NC,nn コード D4×××× クロック 10(C=1)または17(C=0) (KL5C8012のクロック 3+3=6または5+3+2=10)  
Cフラグがセットされていなければnnからはじまるサブルーチンをコールします。  
(8080ニーモニック CNC B3B2 )
220. CALL C,nn コード DC×××× クロック 10(C=0)または17(C=1) (KL5C8012のクロック 3+3=6または5+3+2=10)  
Cフラグがセットされていたらnnからはじまるサブルーチンをコールします。

(8080ニーモニック CC B3B2 )

221. CALL PO,nn コード E4 × × × × クロック 10(P/V=1)または17(P/V=0) (KL5C8012のクロック 3+3=6または5+3+2=10)

P/Vフラグがセットされていなければnnからはじまるサブルーチンをコールします。

(8080ニーモニック CPO B3B2 )

222. CALL PE,nn コード EC × × × × クロック 10(P/V=0)または17(P/V=1)(KL5C8012のクロック 3+3=6または5+3+2=10)

P/Vフラグがセットされていたらnnからはじまるサブルーチンをコールします。

(8080ニーモニック CPE B3B2 )

223. CALL P,nn コード F4 × × × × クロック 10(S=1)または17(S=0) (KL5C8012のクロック 3+3=6または5+3+2=10)

Sフラグがセットされていなければnnからはじまるサブルーチンをコールします。

(8080ニーモニック CP B3B2 )

224. CALL M,nn コード FC × × × × クロック 10(S=0)または17(S=1) (KL5C8012のクロック 3+3=6または5+3+2=10)

Sフラグがセットされていたらnnからはじまるサブルーチンをコールします。

(8080ニーモニック CM B3B2 )

225. RET コード C9 クロック10 (KL5C8012のクロック 3+1+2=6)

スタックのトップに退避されていたアドレスデータをPCに入れ、そのアドレスにリターンします。この結果PCは+2されます。(8080ニーモニック RET)

226. RET NZ コード C0 クロック5(Z=1)または11(Z=0) (KL5C8012のクロック 2+1=3または4+1+2=7)

Zフラグがセットされていなければリターンします。(8080ニーモニック RNZ)

227. RET Z コード C8 クロック5(Z=0)または11(Z=1) (KL5C8012のクロック 2+1=3または4+1+2=7)

Zフラグがセットされていたらリターンします。(8080ニーモニック RZ)

228. RET NC コード D0 クロック5(C=1)または11(C=0) (KL5C8012のクロック 2+1=3または4+1+2=7)

Cフラグがセットされていなければリターンします。(8080ニーモニック RNC)

229. RET C コード D8 クロック5(C=0)または11(C=1) (KL5C8012のクロック 2+1=3または4+1+2=7)

Cフラグがセットされていたらリターンします。(8080ニーモニック RC)

230. RET PO コード E0 クロック5(P/V=1)または11(P/V=0) (KL5C8012のクロック 2+1=3または4+1+2=7)

P/Vフラグがセットされていなければリターンします。(8080ニーモニック RPO)

231. RET PE コード E8 クロック5(P/V=0)または11(P/V=1) (KL5C8012のクロック 2+1=3または4+1+2=7)

P/Vフラグがセットされていたらリターンします。(8080ニーモニック RPE)

232. RET P コード F0 クロック5(S=1)または11(S=0) (KL5C8012のクロック 2+1=3または4+1+2=7)

Sフラグがセットされていなければリターンします。(8080ニーモニック RP)

233. RET M コード F8 クロック5(S=0)または11(S=1) (KL5C8012のクロック 2+1=3または4+1+2=7)

Sフラグがセットされていたらリターンします。(8080ニーモニック RM)

234. RETI コード ED4D クロック14 (KL5C8012のクロック 7+2+2=11)

割込みサービスルーチンの最後に使用します。割込み処理を終了してもとのプログラムに戻るとともに、割込み発生元(Z80ファミリ-ICまたは割込みコントローラ)に割込み処理の終了を知らせます。

235. RETN コード ED45 クロック14 (KL5C8012のクロック 4+2+2=8)

ノンマスクابلインタラプト処理ルーチンの最後に使用します。

236. RST n(n=0~7) コード(下表) クロック11 (KL5C8012のクロック 4+1+2=7)

1バイトで実行できるコール命令です。ただしコールできるアドレスは下表の8種に固定されています。



(8080ニーモニック RST n)

ニーモニック	コード	アドレス
RST 0	C7	0000
RST 1	CF	0008
RST 2	D7	0010
RST 3	DF	0018
RST 4	E7	0020
RST 5	EF	0028
RST 6	F7	0030
RST 7	FF	0038

例えば、RST 3(コードDF)は、CALL \$0018(コードCD1800)と同じ動作になります。

## X II. 入出力命令

237. IN A,(n)      コード DB××      クロック11 (KL5C8012のクロック 4+2+1=7)  
nで指定されるアドレスのI/OデバイスからデータをアキュムレータAに入力します。フラグは変化しません。(8080ニーモニック I N B2)

238. IN r,(C)      コード (表26)      クロック12 (KL5C8012のクロック 4+2+1=7)  
レジスタCの内容で指定されるアドレスのI/Oデバイスからrレジスタにデータを入力します。N=0、H=0 になりますがCフラグは変化しません。入力データが0のときZ=1、マイナスのときS=1になります。また入力データのビット1の数が偶数のときP/V=1 になります

(表26)

r	
B	ED40
C	ED48
D	ED50
E	ED58
H	ED60
L	ED68
A	ED78

239. INI      コード EDA2      クロック16 (KL5C8012のクロック 5+2+2=9)  
レジスタCで指定するI/O デバイスからデータを入力しHLレジスタで指定するメモリに転送します。この後にレジスタBの内容を-1しHLの内容を+1します。N=1。Cは変化しません。Bが0になればZ=1。他のフラグは不定です。

240. INIR      コード EDB2      クロック16(B=0)または21(B≠0)(KL5C8012のクロック 6+2+2=10)  
上記239. INIと同じ動作をしますがBが0になるまで繰り返し実行されます。Cは変化しません。N=1、Z=1、他は不定。

241. IND      コード EDAA      クロック16 (KL5C8012のクロック 5+2+2=9)  
239. INIと同じ動作ですが違うところは最後にHLレジスタが+1されるのではなく-1される点です。フラグは239. INIと同じです。

242. INDR      コード EDBA      クロック16(B=0)または21(B≠0) (KL5C8012のクロック 6+2+2=10)  
240. INIRと同じ動作ですがHLレジスタは-1されて行きます。フラグは240. INIRと同じです。

243. OUT (n),A      コード D3××      クロック11 (KL5C8012のクロック 4+2+1=7)  
nで指定されるアドレスのI/OデバイスにAレジスタのデータを出力します。フラグは変化しません。(8080ニーモニック OUT B2)

244. OUT (C),r      コード (表27)      クロック12 (KL5C8012のクロック 4+2+1=7)  
レジスタCで指定するI/O デバイスにレジスタrの内容が出力されます。フラグは変化しません。

(表27)

r	
B	ED41
C	ED49
D	ED51
E	ED59
H	ED61
L	ED69
A	ED79

245. OUTI           コード EDA3           クロック16 (KL5C8012のクロック 5+2+2=9)  
レジスタCで指定する I/O デバイスにHLLレジスタで示されるメモリの内容が出力されます。このあとBレジスタの内容が-1され、HLの内容は+1されます。フラグは239. INIと同じです。

246. OTIR   コード EDB3   クロック16(B=0)または21(B≠0) (KL5C8012のクロック 7+2+2=11)  
上記245. OUTIと同じ動作をしますがBが0になるまで繰り返し実行されます。フラグは240. INIRと同じです。

247. OUTD           コード EDAB           クロック16 (KL5C8012のクロック 5+2+2=9)  
上記245. OUTIと同じ動作をしますがHLは+1されるのではなく-1されます。フラグは239. INIと同じです。

248. OTDR   コード EDBB   クロック16(B=0)または21(B≠0) (KL5C8012のクロック 7+2+2=11)  
上記246. OTIRと同じ動作をしますがHLは-1されて行きます。フラグは240. INIRと同じです。

### X III. 割込制御

249. DI           コード F3           クロック4 (KL5C8012のクロック 2+1=3)

割込を禁止します。DI命令の実行後はINT信号が入力されても新たな割込は発生しません。  
リセット後は割込禁止状態になります。(DI)

250. EI           コード FB           クロック4 (KL5C8012のクロック 2+1=3)

EI命令が実行されると、その次の命令の実行後から割込が受け付け可能状態になります。

EI命令の実行後ではなく、その次の命令の実行後から、割込みの受け付けが可能になるようにしている理由は、割込み処理プログラムの最後は通常RET命令で終わっているために、もしEI命令の実行後に割込みの受け付けが可能になっていると、割込み処理が終わってメインプログラムに戻るためのRET命令が実行される前に次の割込みが受け付けられてしまい、二重に割込みが実行されてしまう可能性が出てくることを避けるためです。(EI)

251. IM 0           コード ED46           クロック8 (KL5C8012のクロック 2+2=4)

Z80のマスク可能な割込みはモード0、モード1、モード2の3種類あります。IM 0の実行によってモード0の割込みが選択されます。モード0の割込みは8080の割込みと同じ動作になります。INT信号の入力とともに、データバスにRST 0~RST 7の命令コードを入力することによって、0000から8番地とびに置かれた割込み処理プログラムが実行されます。RST命令については236. RST n を参照してください。

リセット後はモード0が選択されます。

252. IM 1           コード ED56           クロック8 (KL5C8012のクロック 2+2=4)

マスク可能な割込みをモード1に設定します。モード0はINT信号とともにデータバスにRST 0~RST 7の命令コードを入力することで8通りの割込み処理ルーチンを選択できますが、モード1はそのうちのRST 7割込み動作に特化した割込みモードです。

モード1はINT信号の入力によってつねに0038番地の割込み処理プログラムが実行されますが、そのときデータバスに命令コードを入力する必要はなく、INT信号のみで割込み処理が行われます。

253. IM 2           コード ED5E           クロック8 (KL5C8012のクロック 2+2=4)

モード2は割込みベクタレジスタ(ILレジスタ)を使う高度な割込み処理モードです。

あらかじめ割込み処理プログラムアドレスを配置したテーブルをメモリ内に用意しておき、そのテーブルアドレスの上位アドレスをIレジスタに入れておきます。INT割込みとともにデータバスに、テーブルアドレスの下位アドレスを入力することによって、メモリの広い範囲に数を制限されることなく必要な割込み処理プログラムを置くことができます。